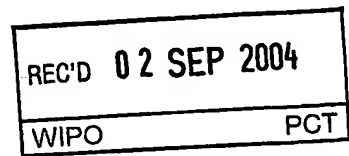


13. 7. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 3 9 0 3 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 3 9 0 3 0]

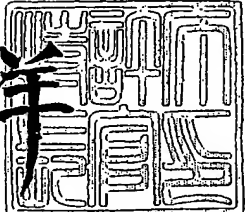
出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2 0 0 4 年 8 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 NQB1030073
【提出日】 平成15年 9月30日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 17/50
H01L 21/82
H01L 27/00

【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 平松 達夫

【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 中島 洋

【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 岡田 誠

【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 小曾根 真

【特許出願人】
【識別番号】 000001889
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
【氏名又は名称】 三洋電機株式会社

【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎

【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄

【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平

【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】
【識別番号】 100098316
【弁理士】
【氏名又は名称】 野田 久登

【選任した代理人】
【識別番号】 100109162
【弁理士】
【氏名又は名称】 酒井 將行

【先の出願に基づく優先権主張】
【出願番号】 特願2003- 7654
【出願日】 平成15年 1月15日

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006995

【書類名】 特許請求の範囲**【請求項 1】**

機能の変更が可能なりコンフィギュラブル回路と、

前記リコンフィギュラブル回路の出力を、前記リコンフィギュラブル回路の入力として伝達するための経路部と、

前記リコンフィギュラブル回路に所期の回路を構成するための設定データを供給する設定部と、

前記リコンフィギュラブル回路に複数の設定データを順次供給するように前記設定部を制御し、ある設定データにより前記リコンフィギュラブル回路上で構成された回路の出力を、前記経路部を通じて次の設定データにより構成される回路の入力に供給させる制御部とを備える、処理装置。

【請求項 2】

前記設定部が、複数の設定データを前記リコンフィギュラブル回路に順次供給することにより、全体として 1 つの回路が構成される、請求項 1 に記載の処理装置。

【請求項 3】

複数の設定データは、1 つの回路を分割した複数の分割回路をそれぞれ表現したものである、請求項 1 または請求項 2 に記載の処理装置。

【請求項 4】

前記リコンフィギュラブル回路は組合せ回路として構成される、請求項 1～3 のいずれか 1 項に記載の処理装置。

【請求項 5】

前記リコンフィギュラブル回路の出力を受ける内部状態保持回路をさらに備え、この内部状態保持回路は、前記経路部に接続されている、請求項 4 に記載の処理装置。

【請求項 6】

前記リコンフィギュラブル回路の出力を受ける出力回路をさらに備え、前記出力回路は、前記設定部により前記リコンフィギュラブル回路が複数回構成されると、前記リコンフィギュラブル回路の出力を出力する、請求項 5 に記載の処理装置。

【請求項 7】

前記ある設定データにより前記リコンフィギュラブル回路上で構成された回路の出力を所定の領域に記憶するメモリ部をさらに備え、

前記制御部は、前記メモリ部の前記所定の領域に記憶された前記リコンフィギュラブル回路上で構成された回路の出力を、前記経路部を通じて次の設定データにより構成される回路の入力に供給させる、請求項 1 に記載の処理装置。

【請求項 8】

前記リコンフィギュラブル回路の入力として、前記経路部からの入力と、外部からの入力とを切替える切替回路をさらに備える、請求項 7 に記載の処理装置。

【請求項 9】

前記リコンフィギュラブル回路は、それぞれが複数の演算機能を選択的に実行可能な複数の論理回路と、論理回路間の接続関係を設定可能な接続部とを含み、

前記設定部は、前記論理回路の機能および前記接続関係を設定する、請求項 1～8 のいずれか 1 項に記載の処理装置。

【請求項 10】

前記論理回路は、複数種類の多ビット演算を選択的に実行可能な算術論理回路である、請求項 9 に記載の処理装置。

【請求項 11】

1 つの回路を分割した複数の分割回路をリコンフィギュラブル回路上に順次構成し、ある分割回路の出力を次の分割回路の入力にフィードバックして分割回路における演算処理を実行し、最後に構成された分割回路から出力を取り出す、処理方法。

【請求項 12】

機能の変更が可能なりコンフィギュラブル回路と、

前記リコンフィギュラブル回路の出力を、前記リコンフィギュラブル回路の入力に接続する経路部と、

前記リコンフィギュラブル回路に所期の回路を構成するための設定データを供給する設定部とを備える、集積回路装置。

【書類名】明細書

【発明の名称】 リコンフィギュラブル回路を備えた集積回路装置、処理装置およびそれらを利用した処理方法

【技術分野】

【0001】

この発明は、集積回路技術に関し、特にリコンフィギュラブル回路を備えた集積回路装置、処理装置およびそれらを利用した処理方法の技術に関する。

【背景技術】

【0002】

FPGA (Field Programmable Gate Array) はLSI製造後に回路データを書き込んで比較的自由に回路構成を設計することが可能であり、専用ハードウェアの設計に利用されている。FPGAは、論理回路の真理値表を格納するためのルックアップテーブル (LUT) と出力用のフリップフロップからなる基本セルと、その基本セル間を結ぶプログラマブルな配線リソースとを含む。FPGAでは、LUTに格納するデータと配線データを書き込むことで目的とする論理演算を実現できる。しかし、FPGAでLSIを設計した場合、ASIC (Application Specific IC) による設計と比べると、実装面積が非常に大きくなり、コスト高になる。そこで、FPGAを動的に再構成することで、回路構成の再利用を図る方法が提案されている (例えば、特許文献1参照。)。

【特許文献1】 特開平10-256383号公報 (全文、第1-4図)

【発明の開示】

【発明が解決しようとする課題】

【0003】

例えば衛星放送では、季節などにより、放送モードを切り替えて画質の調整などを行うこともある。受信機では、放送モードごとに複数の回路を予めハードウェア上に作り込んでおき、放送モードに合わせて選択器で回路を切り替えて受信している。したがって、受信機の他の放送モード用の回路はその間遊んでいることになる。モード切り替えのように、複数の専用回路を切り替えて使用し、その切り替え間隔が比較的長い場合、複数の専用回路を作り込む代わりに、切り替え時にLSIを瞬時に再構成することにすれば、回路構成をシンプルにして汎用性を高め、同時に実装コストを抑えることができる。このようなニーズに応えるべく、動的に再構成可能なLSIに製造業界の関心が高まってきている。特に、携帯電話やPDA (Personal Data Assistant) などのモバイル端末に搭載されるLSIは小型化が必須であり、LSIを動的に再構成し、用途に合わせて適宜機能を切り替えることができれば、LSIの実装面積を低く抑えることができる。

【0004】

FPGAは回路構成の設計自由度が高く、汎用的である反面、全ての基本セル間の接続を可能とするため、多数のスイッチとスイッチのON/OFFを制御するための制御回路を含む必要があり、必然的に制御回路の実装面積が大きくなる。また、基本セル間の接続に複雑な配線パターンをとるため、配線が長くなる傾向がある。さらに1本の配線に多くのスイッチが接続される構造であるため、遅延が大きくなる。そのため、FPGAによるLSIは、試作や実験のために利用されるにとどまることが多く、実装効率、性能、コストなどを考えると、量産には適していない。さらに、FPGAでは、多数のLUT方式の基本セルに設定データを送る必要があるため、回路のコンフィグレーションにはかなりの時間を要する。そのため、瞬時に回路構成の切り替えが必要な用途にはFPGAは適していない。

【0005】

本発明はこうした状況に鑑みてなされたもので、その目的は、回路規模の縮小化に貢献するリコンフィギュラブル回路を備えた集積回路装置、処理装置およびそれらを利用した処理方法の提供にある。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明のある態様は、機能の変更が可能なりコンフィギュラブル回路と、リコンフィギュラブル回路の出力をリコンフィギュラブル回路の入力に接続する経路部と、リコンフィギュラブル回路に所期の回路を構成するための設定データを供給する設定部と、リコンフィギュラブル回路に複数の設定データを順次供給するように設定部を制御し、ある設定データによりリコンフィギュラブル回路上で構成された回路の出力を経路部を通じて次の設定データにより構成される回路の入力に供給させる制御部とを備える処理装置を提供する。経路部は、リコンフィギュラブル回路の出力と入力とのフィードバックパスとして機能する。

【0007】

この態様の処理装置によれば、構成するべき回路の規模が大きい場合であっても、その回路を分割してリコンフィギュラブル回路に順次構成することができるため、構成するべき回路に合わせてリコンフィギュラブル回路の回路規模を大きく設定する必要がなく、リコンフィギュラブル回路の回路規模を縮小化することができる。また、リコンフィギュラブル回路の回路規模を小さくするため、消費電力を小さくすることができる。

【0008】

この態様の処理装置においては、設定部が、複数の設定データをリコンフィギュラブル回路に順次供給することにより、全体として1つの回路が構成されることになる。複数の設定データは、1つの回路を分割した複数の分割回路をそれぞれ表現する。

【0009】

リコンフィギュラブル回路は組合せ回路、あるいは順序回路等の論理回路である。特に、組合せ回路の場合は、一度入力データを設定すれば、高速に、例えば1クロック内で出力を取り出すことができる。処理装置は、リコンフィギュラブル回路の出力を受ける内部状態保持回路をさらに備え、この内部状態保持回路は、経路部に接続される。また、処理装置は、リコンフィギュラブル回路の出力を受ける出力回路をさらに備え、この出力回路は、設定部によりリコンフィギュラブル回路が複数回構成されると、リコンフィギュラブル回路の出力を出力してもよい。リコンフィギュラブル回路に全ての分割回路をマッピングした後、最後の分割回路の出力を取り出すことにより、所期の出力を得ることができる。また、処理装置は、メモリ部をさらに備え、制御部は、記憶部に記憶されたリコンフィギュラブル回路上で構成された回路の出力を次の設定データにより構成される回路の入力に供給する。制御部は、必要に応じてメモリ部から入力データをリコンフィギュラブル回路に入力することができるため並列的な処理を実行可能である。また、処理装置は、経路部からの入力と、外部からの入力とを切替える切替回路をさらに備える。

【0010】

リコンフィギュラブル回路は、それぞれが複数の演算機能を選択的に実行可能な複数の論理回路と、論理回路間の接続関係を設定可能な接続部とを含み、設定部は、論理回路の機能および接続関係を設定してもよい。リコンフィギュラブル回路は、論理回路の多段配列と、前段の論理回路の出力と後段の論理回路の入力の接続関係を設定可能な接続部とを含んでもよい。論理回路の多段配列の構造は、横方向に並べられた論理回路の列が縦方向に複数段組み合わされた配列をとり、横方向すなわち列内の論理回路間に接続用結線はなく、各段の論理回路列の出力と直後の段の論理回路列の入力との間に接続用結線が設けられた構造であってもよい。

【0011】

各論理回路は、比較的高性能な演算が可能な回路であってもよく、例えば、複数種類の多ビット演算を選択的に実行可能な算術論理回路（ALU（Arithmetic Logic Unit））であってもよい。論理回路は、複数の演算機能を選択するためのセレクタを有し、セレクタは、外部からロードされた設定データにより演算機能を選択する。論理回路の演算機能をセレクタで選択可能とすることにより、論理回路の機能の切替を瞬時にこなうことができ、ひいてはリコンフィギュラブル回路の機能を瞬時に設定することが可能となる。

【0012】

本発明の別の態様は、1つの回路を分割した複数の分割回路をリコンフィギュラブル回

路上に順次構成し、ある分割回路の出力を次の分割回路の入力にフィードバックして分割回路における演算処理を実行し、最後に構成された分割回路から出力を取り出すことを特徴とする処理方法を提供する。この態様の処理方法によると、構成すべき回路の規模が大きい場合であっても、その回路を分割してリコンフィギュラブル回路に順次構成することができるため、構成すべき回路に合わせてリコンフィギュラブル回路の回路規模を大きく設定する必要がなく、リコンフィギュラブル回路の回路規模を縮小化することができる。

【0013】

本発明のさらに別の態様は、機能の変更が可能なリコンフィギュラブル回路と、リコンフィギュラブル回路の出力をリコンフィギュラブル回路の入力に接続する経路部と、リコンフィギュラブル回路に所期の回路を構成するための設定データを供給する設定部とを備える集積回路装置を提供する。この態様の集積回路装置によると、リコンフィギュラブル回路、経路部および設定部を1チップ上に形成するため、高速な処理が可能となる。

【0014】

なお、以上の構成要素の任意の組み合わせ、本発明の表現を方法、装置、システム、コンピュータプログラムとして表現したものもまた、本発明の態様として有効である。

【発明の効果】

【0015】

本発明によれば、回路規模の縮小化に貢献するリコンフィギュラブル回路を備えた集積回路装置および処理装置、これらを利用した処理方法を提供できる。

【発明を実施するための最良の形態】

【0016】

以下において、本発明の実施の形態について図面を参照しながら詳細に説明する。なお図中における同一符号は、同一または相当部分を示すものとする。

【0017】

(実施の形態1)

図1は、実施の形態に係る処理装置10の構成図である。処理装置10は、集積回路装置26を備える。集積回路装置26は、回路構成を再構成可能とする機能を有する。集積回路装置26は1チップとして構成され、リコンフィギュラブル回路12、設定部14、制御部18、内部状態保持回路20、出力回路22および経路部24を備える。リコンフィギュラブル回路12は、設定を変更することにより、機能の変更を可能とする。

【0018】

設定部14は、第1設定部14a、第2設定部14b、第3設定部14c、第4設定部14dおよび選択器16を有し、リコンフィギュラブル回路12に所期の回路を構成するための設定データ40を供給する。

【0019】

経路部24は、フィードバックパスとして機能し、リコンフィギュラブル回路12の出力を、リコンフィギュラブル回路12の入力に接続する。内部状態保持回路20および出力回路22は、例えばデータフリップフロップ(DFF)などの順序回路として構成され、リコンフィギュラブル回路12の出力を受ける。内部状態保持回路20は経路部24に接続されている。リコンフィギュラブル回路12は組合せ回路または順序回路等の論理回路として構成される。

【0020】

リコンフィギュラブル回路12は、機能の変更が可能な論理回路を有して構成される。具体的にリコンフィギュラブル回路12は、複数の演算機能を選択的に実行可能な論理回路を複数段に配列させた構成を有し、前段の論理回路列の出力と後段の論理回路列の入力との接続関係を設定可能な接続部を含む。複数の論理回路は、マトリックス状に配置される。各論理回路の機能と、論理回路間の接続関係は、設定部14により供給される設定データ40に基づいて設定される。設定データ40は、以下の手順で生成される。

【0021】

集積回路装置 26 により実現されるべきプログラム 36 が、記憶部 34 に保持されている。プログラム 36 は、信号処理回路または信号処理アルゴリズムなどを C 言語などの高級言語で記述したものである。コンパイル部 30 は、記憶部 34 に格納されたプログラム 36 をコンパイルし、データフロログラフ 38 に変換して記憶部 34 に格納する。データフロログラフ 38 は、入力変数および定数の演算の流れをグラフ構造で表現したものである。

【0022】

設定データ生成部 32 は、データフロログラフ 38 から設定データ 40 を生成する。設定データ 40 は、データフロログラフ 38 をリコンフィギュラブル回路 12 にマッピングするためのデータであり、リコンフィギュラブル回路 12 における論理回路の機能や論理回路間の接続関係を定める。本実施の形態では、設定データ生成部 32 が、1つの回路を分割してできる複数の回路の設定データ 40 を生成する。

【0023】

図 2 は、1つの回路 42 を分割してできる複数の回路の設定データ 40 について説明するための図である。1つの回路 42 を分割して生成される回路を、「分割回路」と呼ぶ。この例では、1つの回路 42 が、4つの分割回路、すなわち分割回路 A、分割回路 B、分割回路 C、分割回路 D に分割されている。回路 42 は、データフロログラフ 38 における演算の流れにしたがって分割される。データフロログラフ 38 において、上から下に向かう方向に演算の流れが表現される場合には、そのデータフロログラフ 38 を上から所定の間隔で切り取り、その切り取った部分を分割回路として設定する。流れにしたがって切り取る間隔は、リコンフィギュラブル回路 12 における論理回路の段数以下に定められる。回路 42 は、データフロログラフ 38 の横方向で分割されてもよい。横方向に分割する幅は、リコンフィギュラブル回路 12 における論理回路の 1 段当たりの個数以下に定められる。

【0024】

特に、生成すべき回路がリコンフィギュラブル回路 12 よりも大きい場合に、設定データ生成部 32 は、リコンフィギュラブル回路 12 にマッピングできる大きさになるように、回路 42 を分割することが好ましい。設定データ生成部 32 は、リコンフィギュラブル回路 12 における論理回路の配列構造とデータフロログラフ 38 によって、回路 42 の分割方法を定める。リコンフィギュラブル回路 12 の配列構造は、制御部 18 から設定データ生成部 32 に伝えられてもよく、また予め記憶部 34 に記録されていてもよい。また、制御部 18 が、回路 42 の分割方法を設定データ生成部 32 に指示してもよい。

【0025】

以上の手順を実行することにより、記憶部 34 は、リコンフィギュラブル回路 12 を所期の回路として構成するための複数の設定データ 40 を記憶する。複数の設定データ 40 は、分割回路 A を構成するための設定データ 40 a、分割回路 B を構成するための設定データ 40 b、分割回路 C を構成するための設定データ 40 c、および分割回路 D を構成するための設定データ 40 d である。既述のごとく、複数の設定データ 40 は、1つの回路 42 を分割した複数の分割回路をそれぞれ表現したものである。このように、リコンフィギュラブル回路 12 の回路規模に応じて、生成すべき回路 42 の設定データ 40 を生成することにより、汎用性の高い処理装置 10 を実現することが可能となる。別の視点からみると、本実施の形態の処理装置 10 によれば、回路規模の小さいリコンフィギュラブル回路 12 を用いて、所望の回路を再構成することが可能となる。

【0026】

図 3 は、リコンフィギュラブル回路 12 の構成図である。リコンフィギュラブル回路 12 は、複数の論理回路 50 の列が複数段にわたって配列されたもので、各段に設けられた接続部 52 によって、前段の論理回路列の出力と後段の論理回路列の入力が設定により任意に接続可能な構造となっている。ここでは、論理回路 50 の例として A L U を示す。各 A L U は、論理和、論理積、ビットシフトなどの複数種類の多ビット演算を設定により選択的に実行できる。各 A L U は、複数の演算機能を選択するためのセレクトを有している

【0027】

図示のように、リコンフィギュラブル回路12は、横方向にY個、縦方向にX個のALUが配置されたALUアレイとして構成される。第1段のALU11、ALU12、・・・、ALU1Yには、入力変数や定数が入力され、設定された所定の演算がなされる。演算結果の出力は、第1段の接続部52に設定された接続にしたがって、第2段のALU21、ALU22、・・・、ALU2Yに入力される。第1段の接続部52においては、第1段のALU列の出力と第2段のALU列の入力の間で任意の接続関係、あるいは、決められた組み合わせのうちより選択された接続関係を実現できるように結線が構成されており、設定により所期の結線が有効となる。以下、第(X-1)段の接続部52まで、同様の構成であり、最終段である第X段のALU列は演算の最終結果を出力する。

【0028】

図4は、他のリコンフィギュラブル回路12#の構成図である。

【0029】

図4を参照して、リコンフィギュラブル回路12#は、リコンフィギュラブル回路12と比較して、接続部52を接続部52#に置換した点異なる。接続部52#は、接続部52の機能に加えて外部から直接入力変数や定数の入力可能な構成であるとともに、接続部52#から直接外部に前段のALUの演算結果を出力することも可能な構成である。この構成により図3に示されるリコンフィギュラブル回路12の構成よりも多様な組合せ回路を構成することが可能となり、設計の自由度が向上する。他の部分および構成については図3で示されるリコンフィギュラブル回路12の構成と同様であるのでその詳細な説明は繰返さない。

【0030】

図5は、データフローグラフ38の例を示す図である。データフローグラフ38においては、入力される変数や定数の演算の流れが段階的にグラフ構造で表現されている。図中、演算子は丸印で示されている。設定データ生成部32は、このデータフローグラフ38をリコンフィギュラブル回路12にマッピングするための設定データ40を生成する。本実施の形態では、特にデータフローグラフ38をリコンフィギュラブル回路12にマッピングしきれない場合に、データフローグラフ38を複数の領域に分割して、分割回路の設定データ40を生成する。データフローグラフ38による演算の流れを回路上で実現するべく、設定データ40は、演算機能を割り当てる論理回路を特定し、また論理回路間の接続関係を定め、さらに入力変数や入力定数などを定義したデータとなる。したがって、設定データ40は、各論理回路50の機能を選択するセレクタに供給する選択情報、接続部52の結線を設定する接続情報、必要な変数データや定数データなどを含んで構成される。

【0031】

図1に戻って、回路の構成時、制御部18は、1つの回路を構成するための複数の設定データ40を選択する。ここでは、制御部18が、図2に示す回路42を構成するための設定データ40、すなわち分割回路Aの設定データ40a、分割回路Bの設定データ40b、分割回路Cの設定データ40cおよび分割回路Dの設定データ40dを選択するものとする。制御部18は、選択した設定データ40を設定部14に供給する。設定部14はキャッシュメモリや他の種類のメモリを有し、供給される設定データ40をそれぞれ保持する。具体的に制御部18は、設定データ40aを第1設定部14aに、設定データ40bを第2設定部14bに、設定データ40cを第3設定部14cに、設定データ40dを第4設定部14dに供給する。なお、本例においては、制御部18が記憶部34から設定データ40を受けて設定部14に供給する構成について説明するが、制御部18を設けることなく、予め設定部14に設定データおよび各回路を制御するための制御データを記憶するRAM(Random Access Memory)や、ROM(Read Only memory)等のメモリを備えた構成とすることも可能である。

【0032】

設定部 14 は、選択された設定データ 40 をリコンフィギュラブル回路 12 に設定し、リコンフィギュラブル回路 12 の回路を再構成する。これにより、リコンフィギュラブル回路 12 は、所期の演算を実行できる。リコンフィギュラブル回路 12 は、基本セルとして高性能の演算能力のある ALU を用いており、またリコンフィギュラブル回路 12 および設定部 14 を 1 チップ上に構成（マッピング）することから、コンフィグレーションを高速に、例えば 1 クロックで実現することができる。制御部 18 はクロック機能を有し、クロック信号は、内部状態保持回路 20 および出力回路 22 に供給される。また制御部 18 はカウンタ回路を含み、カウント信号を選択器 16 に供給してもよい。この場合、カウンタ回路は 4 進カウンタである。

【0033】

図 6 は、本実施の形態における信号処理のフローチャートを示す。制御部 18 は、カウンタ回路からのカウント信号に合わせて、リコンフィギュラブル回路 12 に複数の設定データ 40、すなわち設定データ 40 a、設定データ 40 b、設定データ 40 c および設定データ 40 d を順次供給するように設定部 14 を制御する。設定部 14 が、複数の設定データ 40 をリコンフィギュラブル回路 12 に順次供給することにより、全体として 1 つの回路が構成されることになる。出力回路 22 は、設定部 14 によりリコンフィギュラブル回路 12 が複数回、ここでは 4 回構成されると、リコンフィギュラブル回路 12 の出力を出力する。この回数は、使用する設定データ 40 の個数となる。以下、具体的な手順を示す。

【0034】

まず、制御部 18 が、選択器 16 を制御して第 1 設定部 14 a を選択する。選択器 16 は、カウンタ回路により制御されてもよい。第 1 設定部 14 a は、分割回路 A の設定データ 40 a をリコンフィギュラブル回路 12 に供給し、リコンフィギュラブル回路 12 上に分割回路 A を構成する（ステップ S10）。分割回路 A が構成されると同時に、入力データが分割回路 A に供給される。組合せ回路である分割回路 A は、次のクロック信号までの間に、演算処理を実行する。

【0035】

制御部 18 がクロック信号を内部状態保持回路 20 に供給すると、内部状態保持回路 20 は、分割回路 A による処理結果を保持する（ステップ S12）。ステップ S10 およびステップ S12 のステップを第 1 サイクルと呼ぶ。同時に、制御部 18 が、選択器 16 を制御して第 2 設定部 14 b を選択する。第 2 設定部 14 b は、分割回路 B の設定データ 40 b をリコンフィギュラブル回路 12 に供給し、リコンフィギュラブル回路 12 上に分割回路 B を構成する。このとき、内部状態保持回路 20 に保持された分割回路 A の処理結果が、経路部 24 を通って分割回路 B の入力に供給される（ステップ S14）。分割回路 B は、次のクロック信号までの間に、演算処理を実行する。

【0036】

制御部 18 が次のクロック信号を内部状態保持回路 20 に供給すると、内部状態保持回路 20 は、分割回路 B の処理結果を保持する（ステップ S16）。ステップ S14 およびステップ S16 のステップを第 2 サイクルと呼ぶ。同時に、制御部 18 が、選択器 16 を制御して第 3 設定部 14 c を選択する。第 3 設定部 14 c は、分割回路 C の設定データ 40 c をリコンフィギュラブル回路 12 に供給し、リコンフィギュラブル回路 12 上に分割回路 C を構成する。このとき、内部状態保持回路 20 に保持された分割回路 B の処理結果が、経路部 24 を通って分割回路 C の入力に供給される（ステップ S18）。分割回路 C は、次のクロック信号までの間に、演算処理を実行する。

【0037】

制御部 18 が次のクロック信号を内部状態保持回路 20 に供給すると、内部状態保持回路 20 は、分割回路 C の処理結果を保持する（ステップ S20）。ステップ S18 およびステップ S20 のステップを第 3 サイクルと呼ぶ。同時に、制御部 18 が、選択器 16 を制御して第 4 設定部 14 d を選択する。第 4 設定部 14 d は、分割回路 D の設定データ 40 d をリコンフィギュラブル回路 12 に供給し、リコンフィギュラブル回路 12 上に分割

回路Dを構成する。このとき、内部状態保持回路20に保持された分割回路Cの処理結果が、経路部24を通して分割回路Dの入力に供給される(ステップS22)。分割回路Dは、次のクロック信号までの間に、演算処理を実行する。

【0038】

制御部18が次のクロック信号を出力回路22に供給すると、出力回路22は、分割回路Dの処理結果を出力する(ステップS24)。ステップS22およびステップS24のステップを第4サイクルと呼ぶ。第1サイクルから第4サイクルまでの処理を繰り返し行う場合には、再度、制御部18が選択器16を制御して第1設定部14aを選択し、リコンフィギュラブル回路12上に分割回路Aを構成して、入力データが供給される。

【0039】

以上のように、1つの回路42を分割した複数の分割回路A~Dをリコンフィギュラブル回路12上に順次構成し、各分割回路の出力を次の分割回路の入力にフィードバックして各分割回路における演算処理を実行し、最後に構成された分割回路Dから、回路42の出力を取り出す。ステップS10からステップS24までにかかる時間は4クロック分であり、本実施の形態の処理装置10によると、限られたリコンフィギュラブル回路12の回路規模のなかで、効率よい演算処理を実行することができる。また、リコンフィギュラブル回路12の回路規模が小さいため、消費電力も小さくできる。

【0040】

制御部18は、内部状態保持回路20および出力回路22に同一のクロック信号を供給してもよいが、出力回路22に供給するクロック信号の周期を、内部状態保持回路20に供給するクロック信号の周期の4倍に設定してもよい。内部状態保持回路20および出力回路22に同一のクロック信号を供給する場合は、内部状態保持回路20に出力回路22の役目をもたせ、1つの回路にまとめることもできる。この場合は、出力先の回路以降で必要な信号を取り出すための回路が必要となる。図6に示した例では1つの回路42を4サイクルの分割回路で表現したため、出力回路22の動作周期が内部状態保持回路20の動作周期の4倍となっているが、周期の比は、回路42の分割数に応じて変化する。また、この例では第1設定部14a~第4設定部14dの4つの設定部を利用したが、この数も回路42の分割数に応じて変動することは当業者に容易に理解されるところである。

【0041】

図7は、前後7点を利用する7タップからなるFIRフィルタ回路を示す。以下、このFIR (Finite Impulse Response) フィルタ回路を、本実施の形態における処理装置10で実現する具体例を示す。このFIRフィルタ回路の係数は、図示のごとく、対称に設定されている。

【0042】

図8は、図7で示すFIRフィルタ回路を置き換えた回路を示す。回路の置き換えは、フィルタ係数の対称性を利用している。

【0043】

図9は、図8で示すFIRフィルタ回路をさらに置き換えた回路を示す。ここでは、フィルタ係数に着目した置き換えを行っている。具体的には、係数1/16を $1/2 \times 1/2 \times 1/2 \times 1/2$ に、2/16を $1/2 \times 1/2 \times 1/2$ に、8/16を $1/2$ に置き換えている。係数1/2の演算はデータを右に1ビットシフトすることで実現できる。1ビットシフタは、複数ビットシフタと比べて、ALU内において非常に小さいスペースで形成することができる。

【0044】

図10は、図9に示すFIRフィルタ回路をコンパイルして作成したデータフローグラフ38aを示す。図中、“+”は加算を示し、“ $>>1$ ”は1ビットのシフトを示し、“MOV”はスルー用のパスを示す。図示のごとく、データフローグラフ38aは、7段の演算子で構成される。

【0045】

図11は、本実施例で使用するリコンフィギュラブル回路12を示す。本実施例では、

リコンフィギュラブル回路 12 が、4 列 2 段の A L U を含んで構成される。

【0046】

図 12 は、図 10 に示すデータフローグラフ 38 a を、図 11 のリコンフィギュラブル回路 12 を用いて実現する例を示す。データフローグラフ 38 a が 7 段で構成され、リコンフィギュラブル回路 12 が 2 段で構成されていることから、データフローグラフ 38 a は、4 つに分割される。

【0047】

第 1 サイクルでは、第 1 設定部 14 a が、データフローグラフ 38 a の第 1 段および第 2 段の内容を、設定データ 40 a によりリコンフィギュラブル回路 12 上に構成する。第 2 サイクルでは、第 2 設定部 14 b が、データフローグラフ 38 a の第 3 段および第 4 段の内容を、設定データ 40 b によりリコンフィギュラブル回路 12 上に構成（マッピング）する。第 3 サイクルでは、第 3 設定部 14 c が、データフローグラフ 38 a の第 5 段および第 6 段の内容を、設定データ 40 c によりリコンフィギュラブル回路 12 上に構成（マッピング）する。第 4 サイクルでは、第 4 設定部 14 d が、データフローグラフ 38 a の第 7 段の内容を、設定データ 40 d によりリコンフィギュラブル回路 12 上に構成（マッピング）する。各サイクルにおける出力結果は、次のサイクルの入力としてフィードバックされる。

【0048】

実施例 1 において、A L U は、“+”、“>>1”、“MOV”の 3 種類のみで実現することができる。複数ビットのシフトを、1 ビットシフトを複数回利用することにより表現することとしたため、必要とされる A L U の機能を非常に少なくすることができる。これにより、リコンフィギュラブル回路 12 の回路規模を小さくできる。なお、4 種類の設定データ 40 を供給するため、制御部 18 におけるカウンタ回路は、4 進カウンタとなる。

【0049】

（実施の形態 2）

図 13 は、図 8 に示す F I R フィルタ回路をコンパイルして作成したデータフローグラフ 38 b を示す。図中、“+”は加算を、“MOV”はスルー用のパスを、“>>4”は 4 ビットのシフトを、“>>3”は 3 ビットのシフトを、“>>1”は 1 ビットのシフトを示す。図 9 の例では、複数ビットのシフトを 1 ビットシフトにおとしてデータフローグラフ 38 a を作成したが、図 13 の例では、複数ビットのシフトをそのままにデータフローグラフ 38 b を作成している。図示のごとく、データフローグラフ 38 b は、4 段の演算子で構成される。

【0050】

図 14 は、図 13 に示すデータフローグラフ 38 b を、図 11 のリコンフィギュラブル回路 12 を用いて実現する例を示す。データフローグラフ 38 b が 4 段で構成され、リコンフィギュラブル回路 12 が 2 段で構成されていることから、データフローグラフ 38 b は、2 つに分割される。

【0051】

第 1 サイクルでは、第 1 設定部 14 a が、データフローグラフ 38 b の第 1 段および第 2 段の内容を、設定データ 40 a によりリコンフィギュラブル回路 12 上に構成（マッピング）する。第 2 サイクルでは、第 2 設定部 14 b が、データフローグラフ 38 b の第 3 段および第 4 段の内容を、設定データ 40 b によりリコンフィギュラブル回路 12 上に構成（マッピング）する。第 1 サイクルにおける出力結果は、次の第 2 サイクルの入力としてフィードバックされる。

【0052】

実施例 2 において、A L U は、“+”、“>>4”、“>>3”、“>>1”、“MOV”の 5 種類で実現することができる。実施例 1 と比較すると、必要な A L U の機能は増加するが、使用する設定部の数は 2 つと減少している。なお、2 種類の設定データ 40 を供給するため、制御部 18 におけるカウンタ回路は、2 進カウンタとなる。また、出力回

路 22 の動作周期は、内部状態保持回路 20 の動作周期の 2 倍となる。

【0053】

(実施の形態 3)

上記の実施の形態 1 および 2 の構成においては、具体例として単一の回路である FIR フィルタ回路をリコンフィギュラブル回路を用いて実現する例について説明したが、本発明の実施の形態 3 においては複数の回路をリコンフィギュラブル回路で実現する方式について説明する。

【0054】

図 15 は、本発明の実施の形態 3 に従う処理装置 10 a の構成図である。

【0055】

図 15 を参照して、本発明の実施の形態 3 に従う処理装置 10 a は、実施の形態 1 に従う処理装置 10 と比較して、集積回路装置 26 を集積回路装置 26 a に置換した点が異なる。集積回路装置 26 a は、図 1 に示される集積回路装置 26 と比較して、メモリ部 27 と切替回路 28 と、経路部 29 とをさらに備える点で異なる。

【0056】

メモリ部 27 は、制御部 18 からの指示に基づきリコンフィギュラブル回路 12 から出力されるデータ信号を格納するための記憶領域である。また、制御部 18 からの指示に基づき格納されたデータ信号は、経路部 29 を通じてリコンフィギュラブル回路 12 の入力として伝達される。リコンフィギュラブル回路 12 への入力は経路部 24, 29 の 2 系統存在するが、経路部 24 は、メモリ部 27 を介さないために高速にフィードバック処理することが可能である。特に、メモリ部 27 が低速で動作処理する場合には、経路部 24 は、経路部 29 よりもさらに高速に処理する。

【0057】

切替回路 28 は、入力データおよび経路部 24, 29 を介してフィードバックされる入力データを、選択器 16 から出力される切替指示に基づいて選択的にリコンフィギュラブル回路 12 に入力する。具体的には、第 1 設定部 14 a ~ 第 4 設定部 14 d の制御部 18 の選択に伴い、設定される設定データに基づく所定のタイミングで選択器 16 から切替指示がなされる。その他の点は図 1 で示される集積回路装置 26 の構成と同様であるので、その詳細な説明は繰返さない。

【0058】

以下においては、複数の回路としてデジタル復調回路群を具体例としてリコンフィギュラブル回路上に構成 (マッピング) する方式について説明する。

【0059】

図 16 は、本発明の実施の形態 3 に従うリコンフィギュラブル回路を用いて構成するデジタル復調回路群の構成図である。

【0060】

図 16 を参照して、デジタル復調回路群は、FIR フィルタ回路 50 と、FIR フィルタ回路 52 と、復調処理回路 54 とを含む。FIR フィルタ回路 50 は、入力信号 I の入力を受けて中間出力信号 MI を出力する。FIR フィルタ回路 52 は、入力信号 Q を受けて中間出力信号 MQ を出力する。復調処理回路 54 は、中間出力信号 MI, MQ の入力を受けて復調処理し、フィードバック制御出力信号 Y2 と、出力信号 Y1 を出力する。

【0061】

図 17 は、復調処理回路 54 の構成を説明する概念図である。

【0062】

図 17 を参照して、復調処理回路 54 は、ループフィルタ 56 と、乗算器 58 と、正負判定回路 60 (SGN) とで構成されている。正負判定回路 60 は、中間出力信号 MI の入力を受けて、判定結果に基づいて復調出力信号 Y1 を出力する。乗算器 58 は、中間出力信号 MI, MQ の入力を受けて、乗算結果をループフィルタ 56 に出力する。ループフィルタ 56 は、乗算器 58 からの出力信号を受けて、フィードバック制御出力信号 Y2 を出力する。なお、フィードバック制御出力信号 Y2 は、図示しないが、他のデジタル復調

処理に用いられる回路にフィードバック入力される制御信号である。

【0063】

図18は、ループフィルタ56を示す。

【0064】

図19は、図17に示す復調処理回路54をコンパイルして作成したデータフローグラフ38bを示す。図中、“×”は乗算を示し、“SGN”は正負判定を示す。他の演算子については上述したのと同様の構成である。図示のごとく、データフローグラフ38bは、3段の演算子で構成される。

【0065】

図20は、本発明の実施の形態3に従うデジタル復調回路群をリコンフィギュラブル回路にマッピングする場合の処理の流れを説明する図である。

【0066】

図20を参照して、まず最初にFIRフィルタ回路50をマッピングし、入力信号Iに基づく出力信号MIを生成する。具体的には、図12で説明したのと同様の方式にしたがって、データフローグラフ38aが4つに分割され、第1設定部14a～第4設定部14dを用いてFIRフィルタ50がリコンフィギュラブル回路12上に構成（マッピング）される。上述したように各サイクルにおける出力結果は、次のサイクルの入力としてフィードバックされるが、最後の第4サイクルの出力結果すなわち出力信号MIはメモリ部27の所定領域に格納される。

【0067】

次に、FIRフィルタ回路52をマッピングし、入力信号Qに基づく出力信号MQを生成する。具体的には、FIRフィルタ回路50と同様の方式にしたがって、第5サイクル～第8サイクルにおいてリコンフィギュラブル回路12上にFIRフィルタ回路52がマッピングされる。この場合、最後の第8サイクルの出力結果すなわち出力信号MQはメモリ部27の所定領域に格納される。

【0068】

次に、復調処理回路54をマッピングし、中間出力信号MI, MQ（入力信号）に基づく出力信号Y1, Y2を生成する。

【0069】

図21は、図19に示すデータフローグラフ38bを、図11のリコンフィギュラブル回路12を用いて実現する例を示す。データフローグラフ38bが4段で構成され、リコンフィギュラブル回路12が2段で構成されていることから、データフローグラフ38bは、2つに分割される。

【0070】

第9サイクルでは、第1設定部14aが、データフローグラフ38bの第1段および第2段の内容を、設定データ40aによりリコンフィギュラブル回路12上に構成する。第10サイクルでは、第2設定部14bが、データフローグラフ38aの第3段および第4段の内容を、設定データ40bによりリコンフィギュラブル回路12上に構成（マッピング）する。各サイクルにおける出力結果は、次のサイクルの入力としてフィードバックされる。これに伴い、復調処理回路54をマッピングすることができる。

【0071】

ここで、第9サイクルにおいて、メモリ部27の所定領域に格納された中間出力信号MI, MQおよび出力信号MY#が経路部29を介してリコンフィギュラブル回路12に入力される。また、本例の如く、メモリ部27の記憶領域を設けてリコンフィギュラブル回路12を用いてマッピングした回路の出力データ等を保持することにより、並列処理を実行する回路群においても1つのリコンフィギュラブル回路12を用いて構成することができる。なお、入力信号MY#は、前回に復調処理回路54をマッピングした場合の第10サイクル後に出力される出力信号であり、メモリ部27の記憶領域に格納されているものとする。上記においては、FIRフィルタ回路50をマッピングした後にFIRフィルタ回路52をマッピングする場合について説明したがその順序を入れ替えても同様である。

【0072】

すなわち、メモリ部27を設けて出力データ等に記憶させておくことにより、任意の回路を任意の順序でリコンフィギュラブル回路12を用いてマッピングすることができる。

【0073】

なお、本実施の形態3においてはALUは、“+”、“>>1”、“MOV”、“×”、“SGN”の5種類のみで実現することができる。

【0074】

以上、本発明を実施の形態をもとに説明した。実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0075】

例えば、リコンフィギュラブル回路12におけるALUの配列は、縦方向にのみ接続を許した多段配列に限らず、横方向の接続も許した、メッシュ状の配列であってもよい。また、上記の説明では、段を飛ばして論理回路を接続する結線は設けられていないが、このような段を飛ばす接続結線を設ける構成としてもよい。

【0076】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0077】

【図1】実施の形態に係る処理装置の構成図である。

【図2】1つの回路を分割してできる複数の回路の設定データについて説明するための図である。

【図3】リコンフィギュラブル回路の構成図である。

【図4】他のリコンフィギュラブル回路12#の構成図である。

【図5】データフロログラフの例を示す図である。

【図6】実施の形態における信号処理のフローチャートである。

【図7】前後7点を利用する7タップからなるFIRフィルタ回路を示す図である。

【図8】図7で示すFIRフィルタ回路を置き換えた回路を示す図である。

【図9】図8で示すFIRフィルタ回路をさらに置き換えた回路を示す図である。

【図10】図9に示すFIRフィルタ回路をコンパイルして作成したデータフロログラフを示す図である。

【図11】実施例で使用するリコンフィギュラブル回路を示す図である。

【図12】図10に示すデータフロログラフを、図11のリコンフィギュラブル回路を用いて実現する例を示す図である。

【図13】図8に示すFIRフィルタ回路をコンパイルして作成したデータフロログラフを示す図である。

【図14】図13に示すデータフロログラフを、図11のリコンフィギュラブル回路を用いて実現する例を示す図である。

【図15】本発明の実施の形態3に従う処理装置10aの構成図である。

【図16】本発明の実施の形態3に従うリコンフィギュラブル回路を用いて構成するデジタル復調回路群の構成図である。

【図17】復調処理回路54の構成を説明する概念図である。

【図18】ループフィルタ56を示す図である。

【図19】図17に示す復調処理回路54をコンパイルして作成したデータフロログラフ38bを示す図である。

【図20】本発明の実施の形態3に従うデジタル復調回路群をリコンフィギュラブル回

路にマッピングする場合の処理の流れを説明する図である。

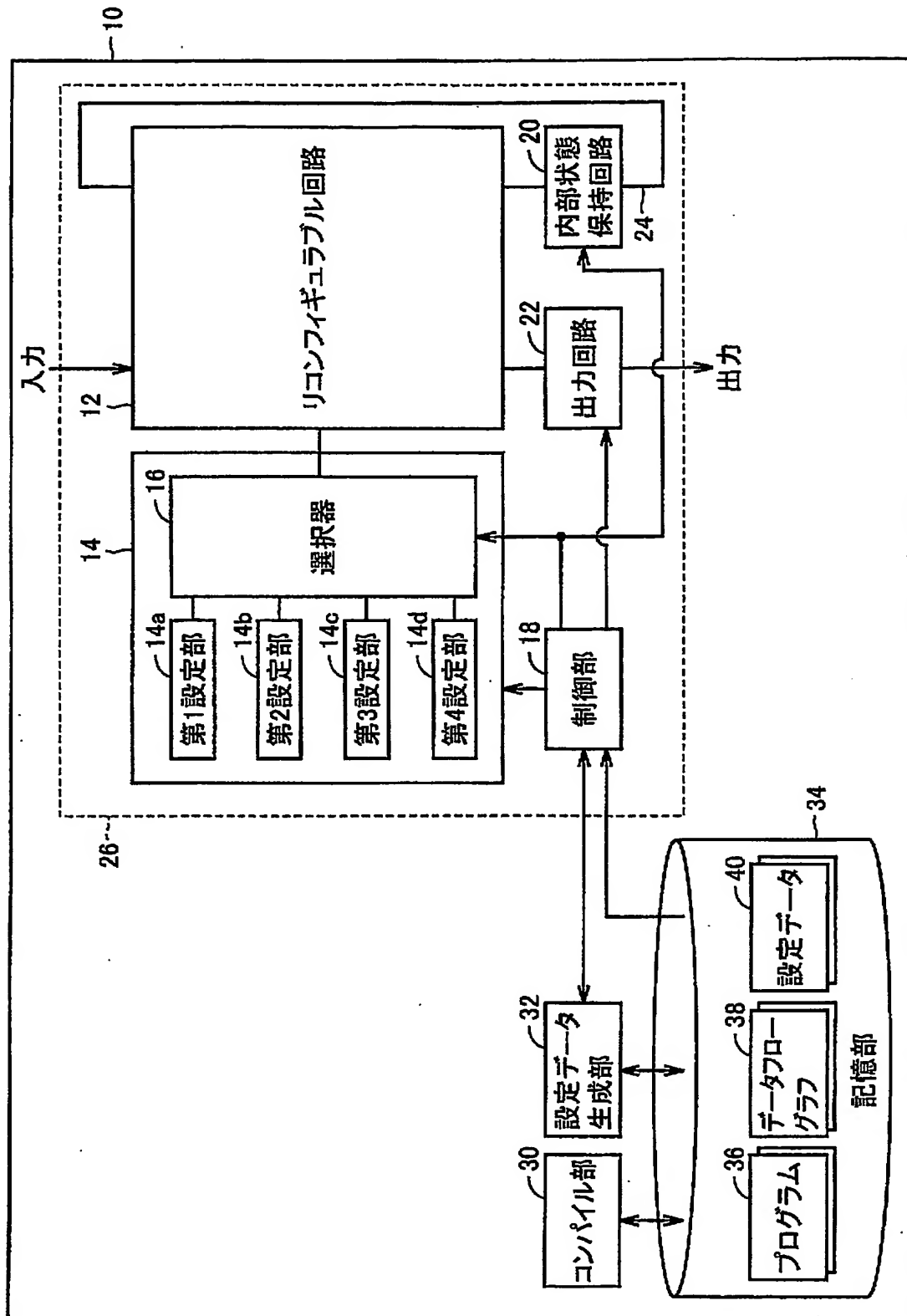
【図 21】図 19 に示すデータフローグラフ 38b を、図 11 のリコンフィギュラブル回路 12 を用いて実現する例を示す図である。

【符号の説明】

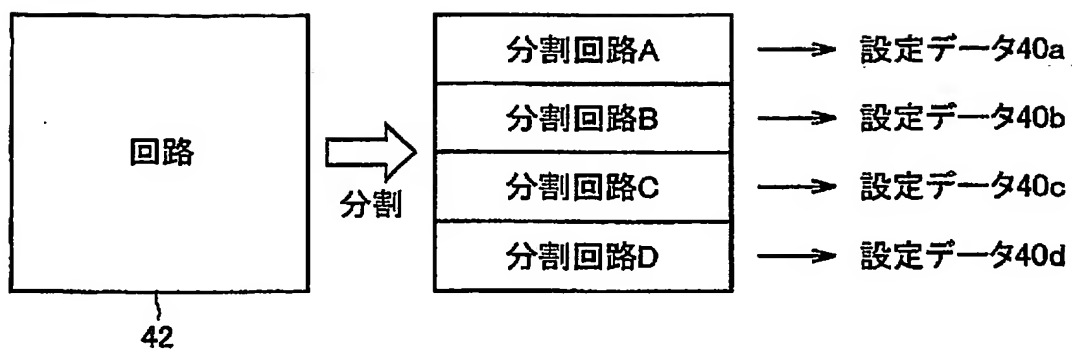
【0078】

10 処理装置、12 リコンフィギュラブル回路、14 設定部、16 選択器、18 制御部、20 内部状態保持回路、22 出力回路、24 経路部、26 集積回路装置、30 コンパイル部、32 設定データ生成部、34 記憶部、36 プログラム、38 データフローグラフ、40 設定データ、50 論理回路、52 接続部。

【書類名】 図面
【図 1】

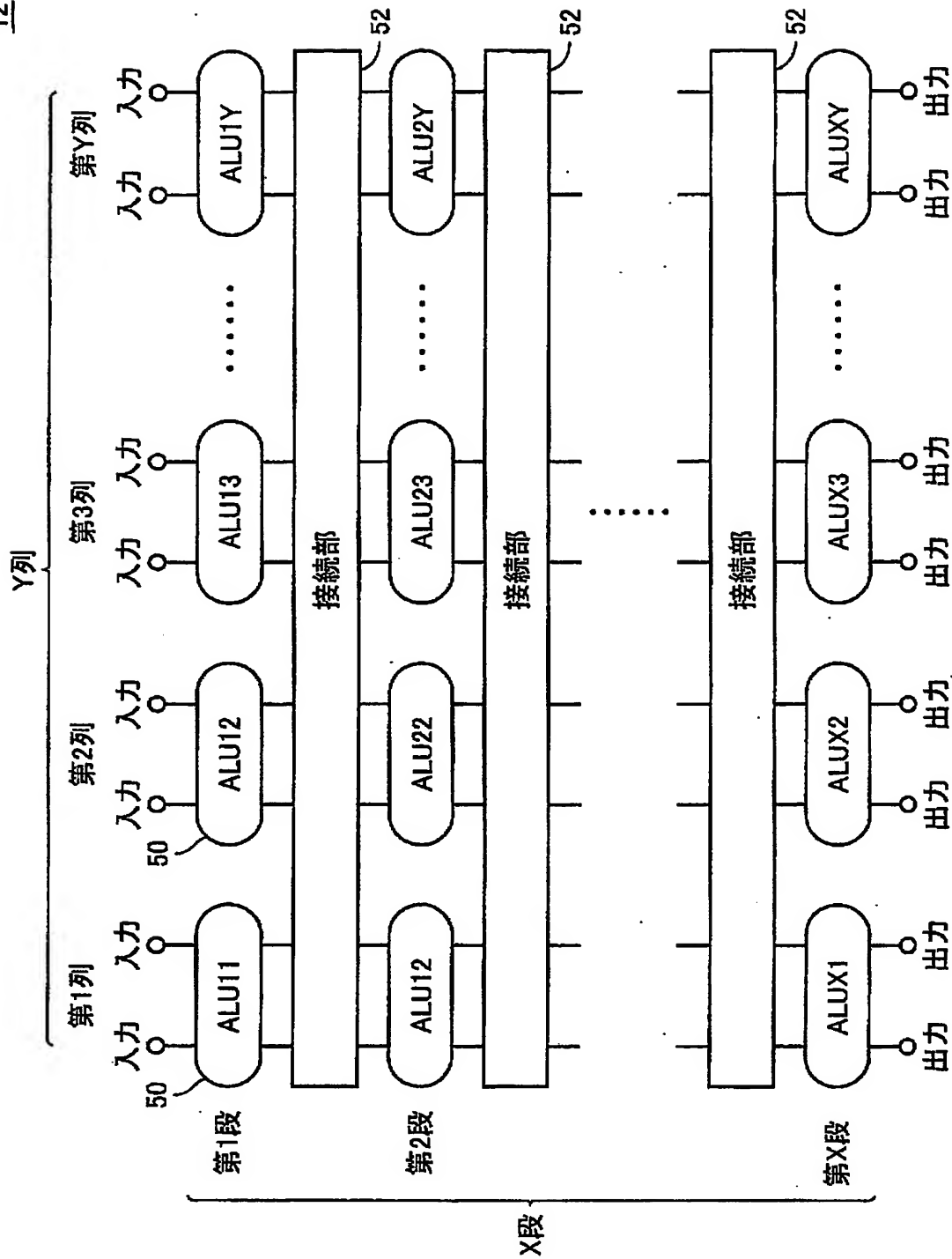


【図 2】

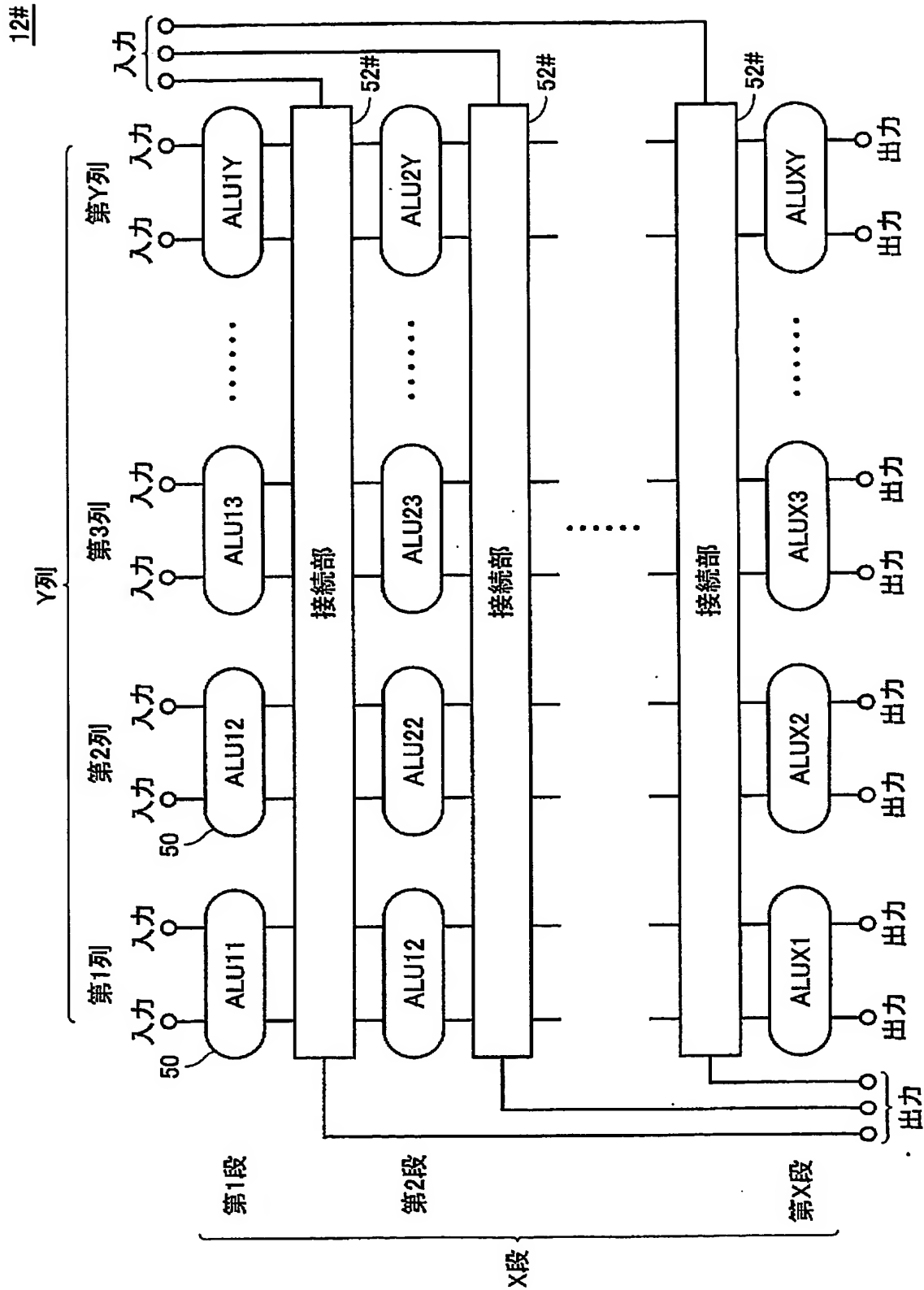


【図 3】

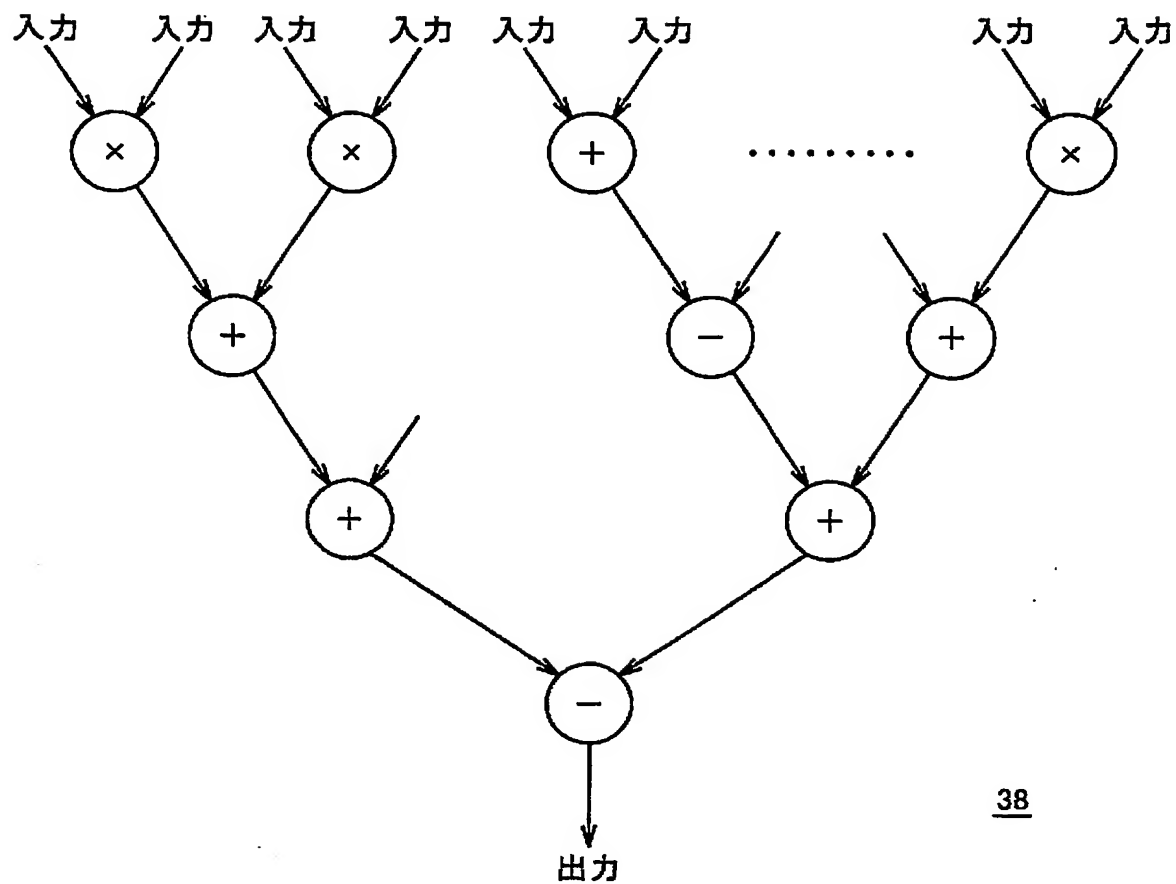
12



【図 4】

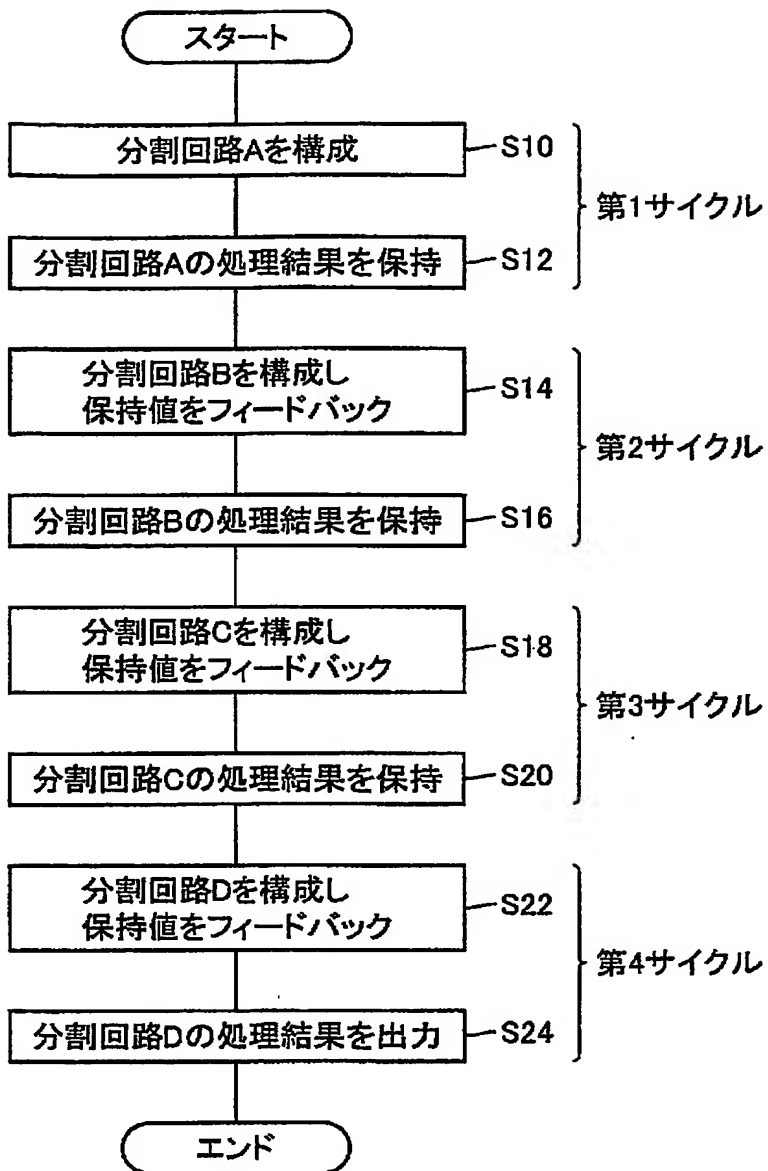


【図 5】

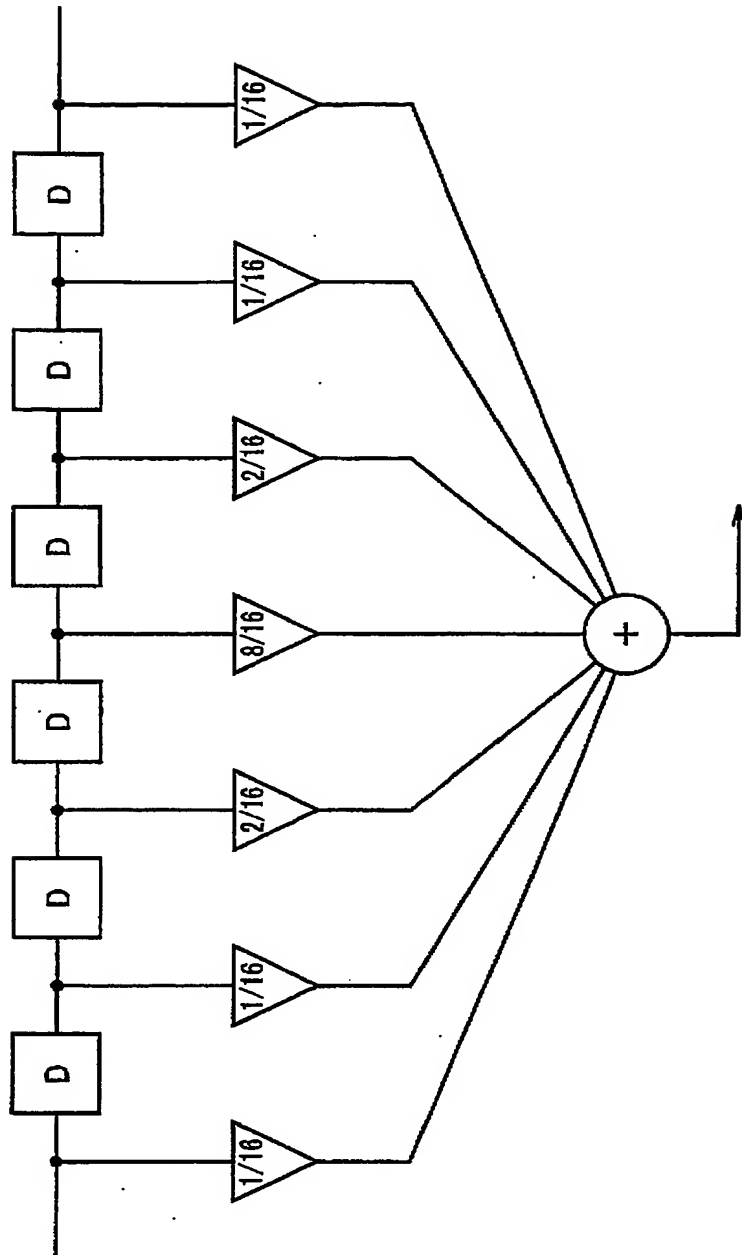


38

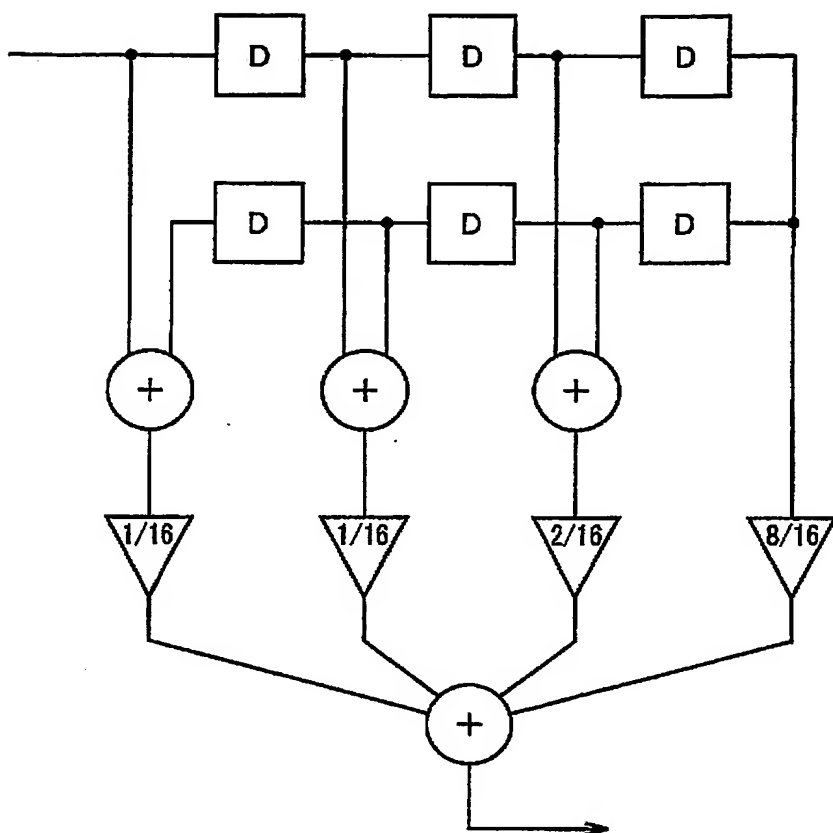
【図 6】



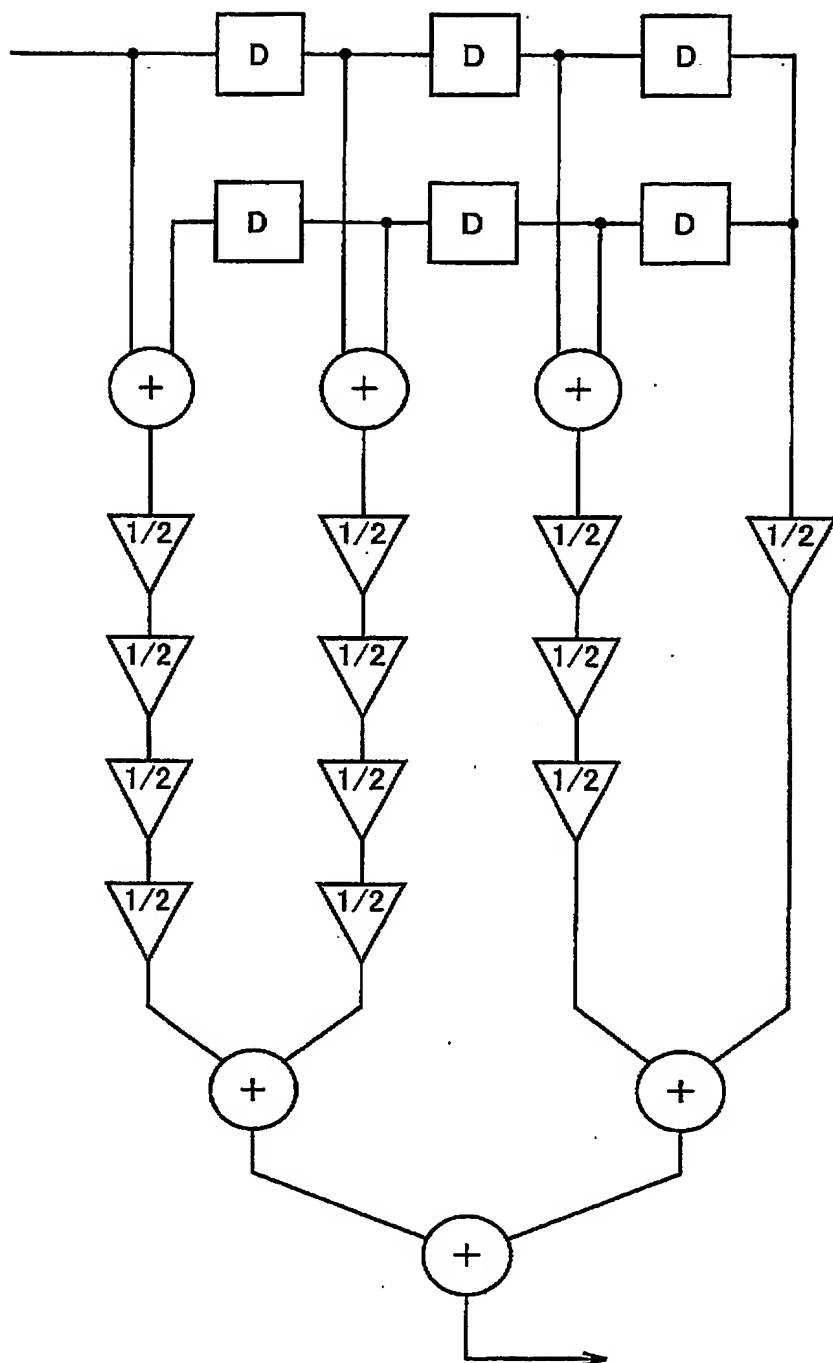
【図 7】



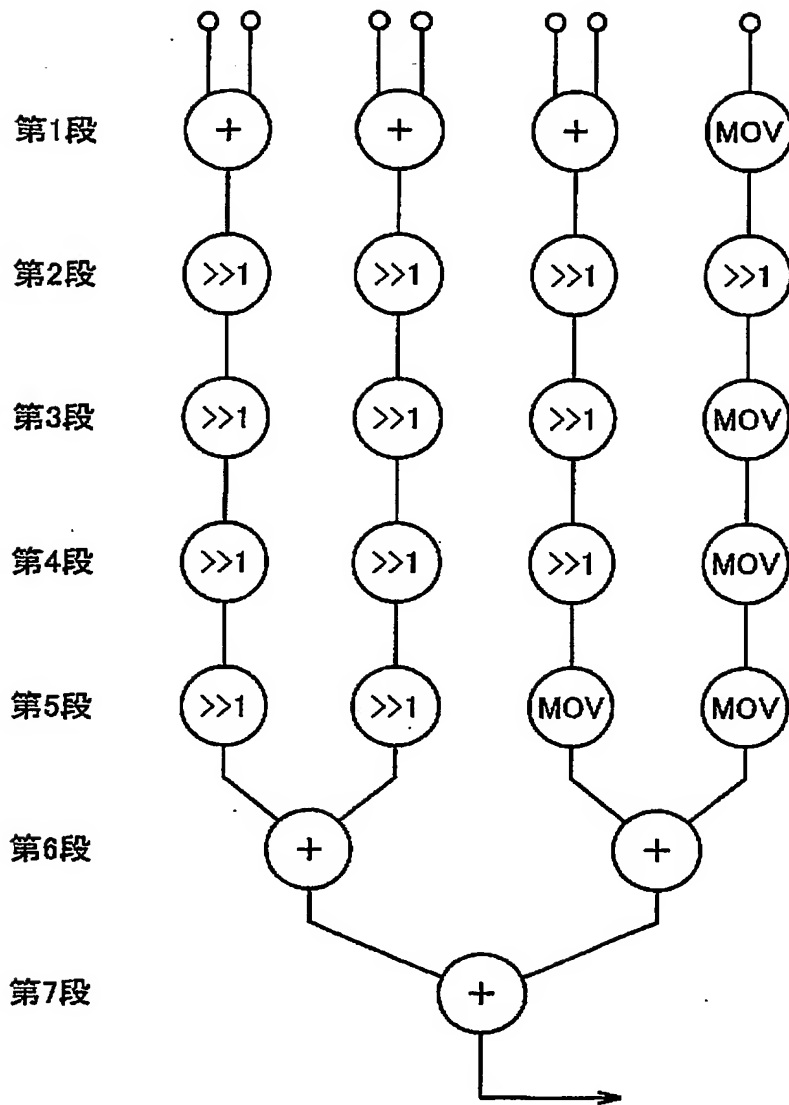
【図 8】



【図 9】

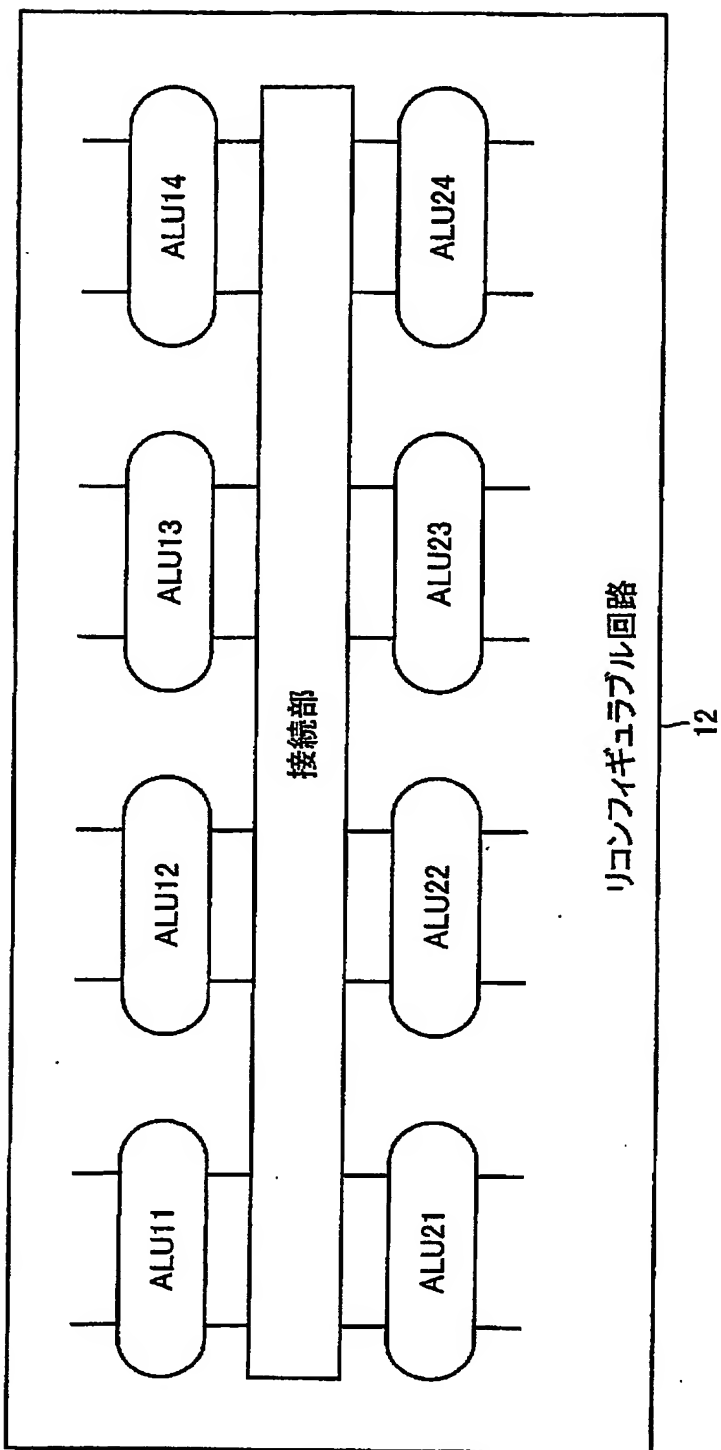


【図 10】

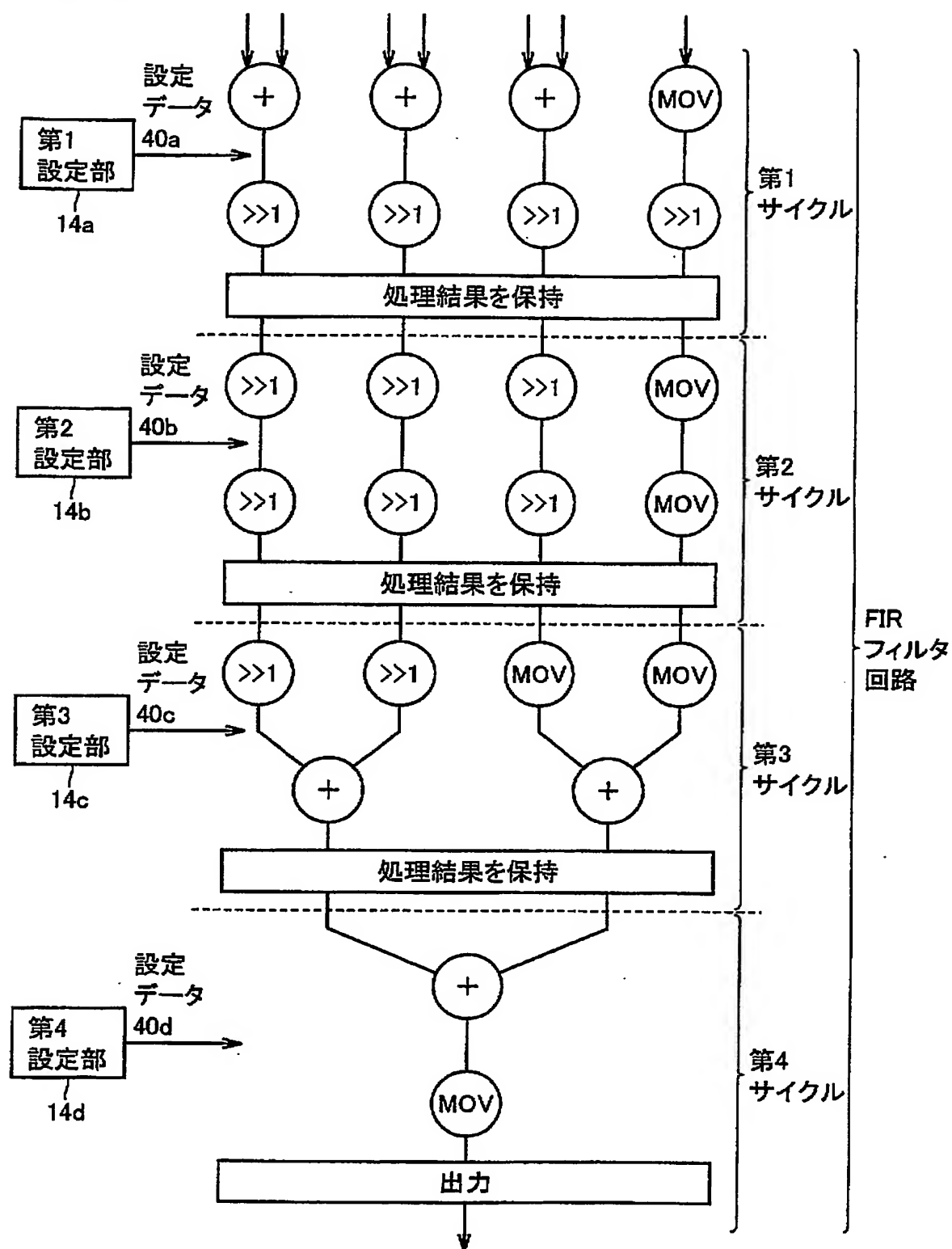


38a

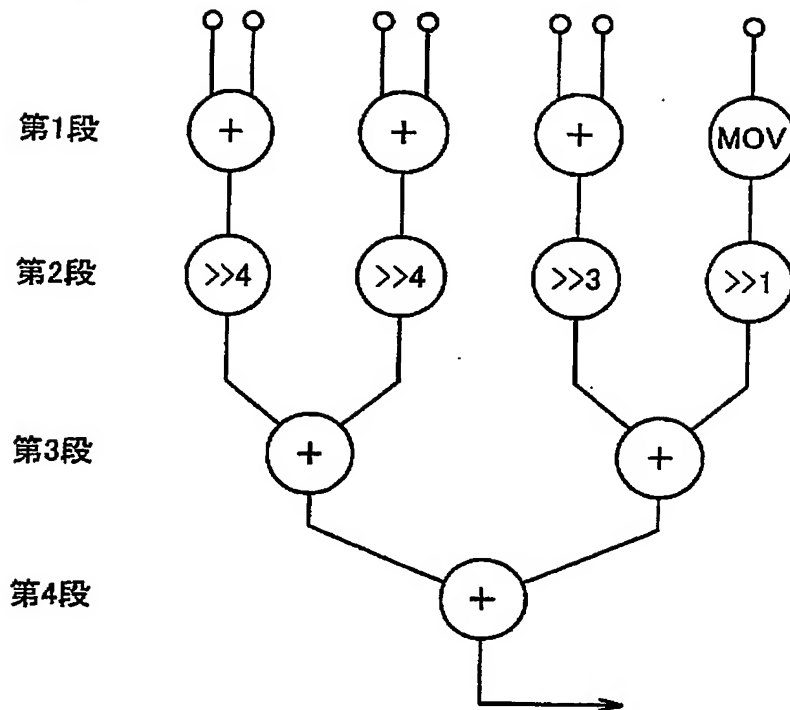
【図 11】



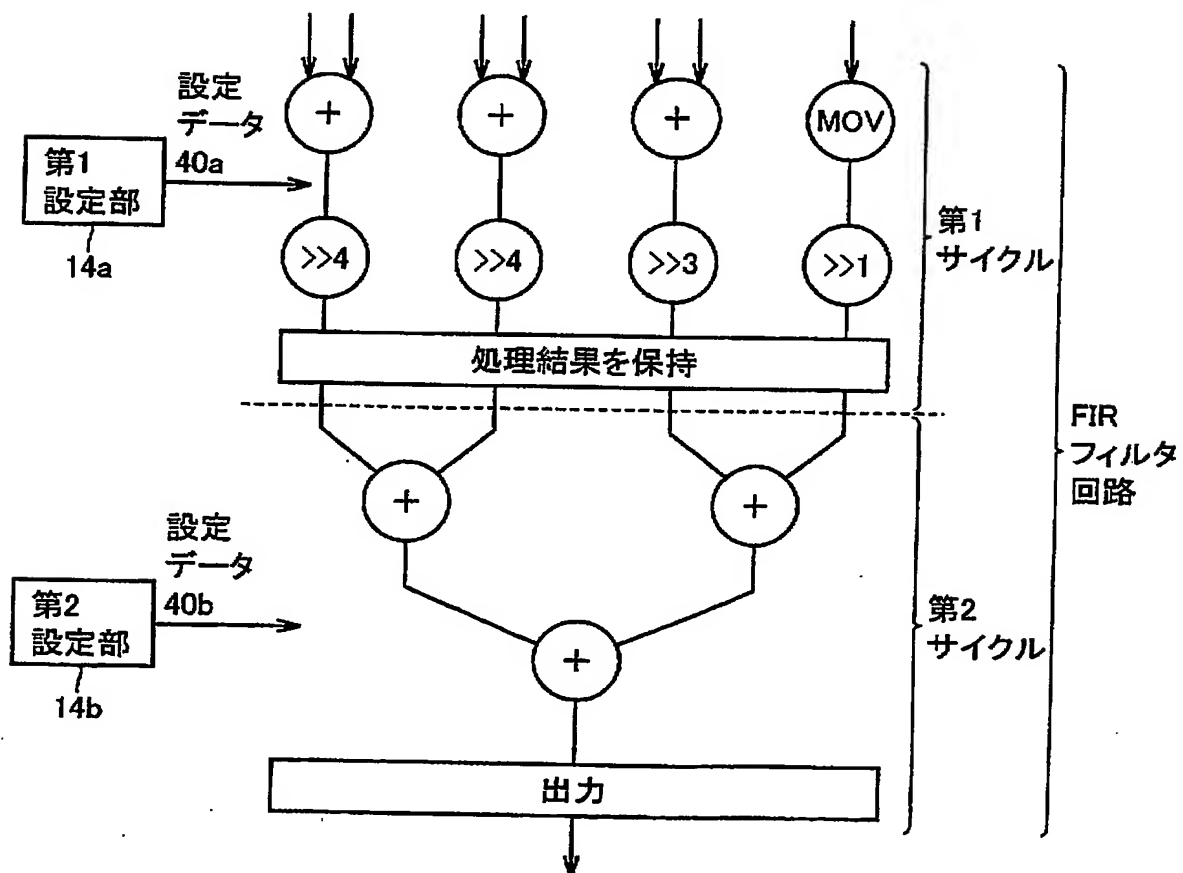
【図 12】



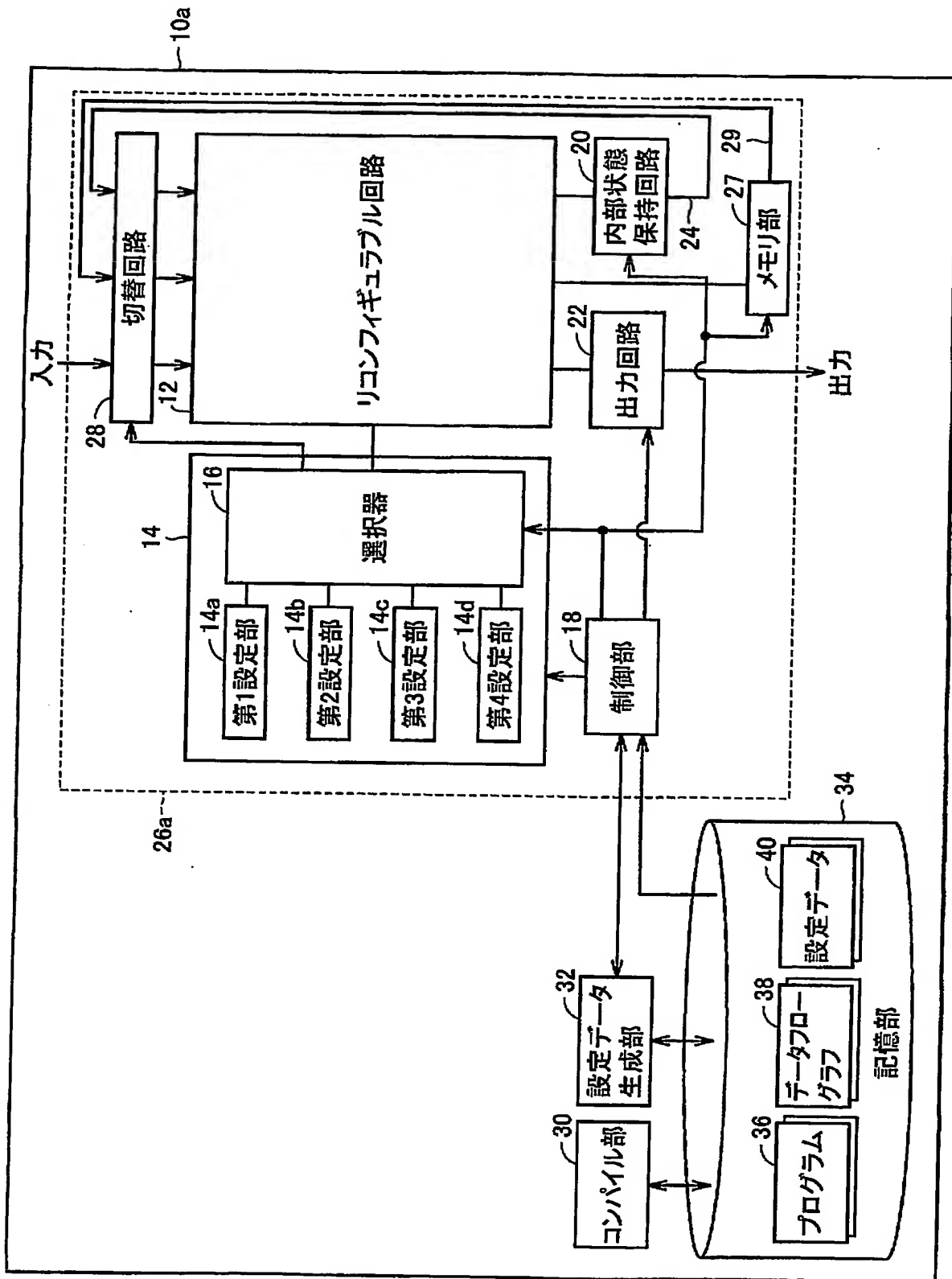
【図 13】



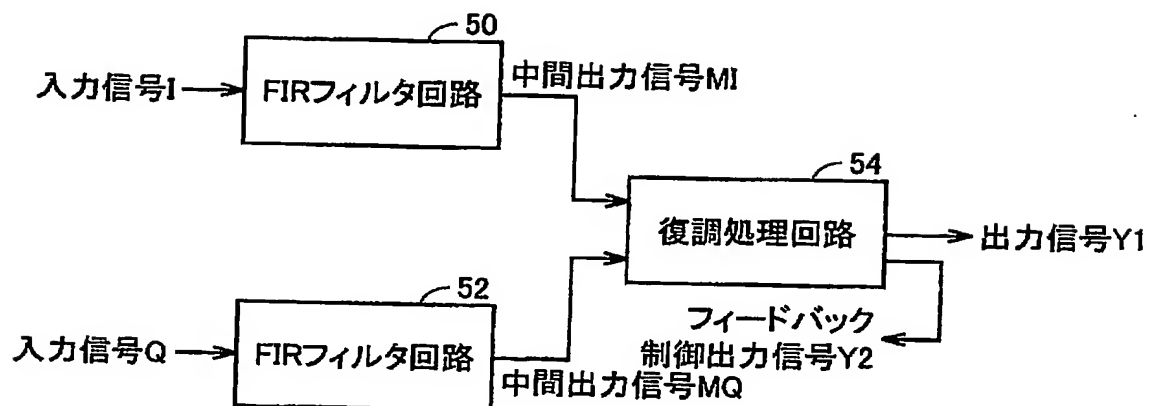
【図 14】



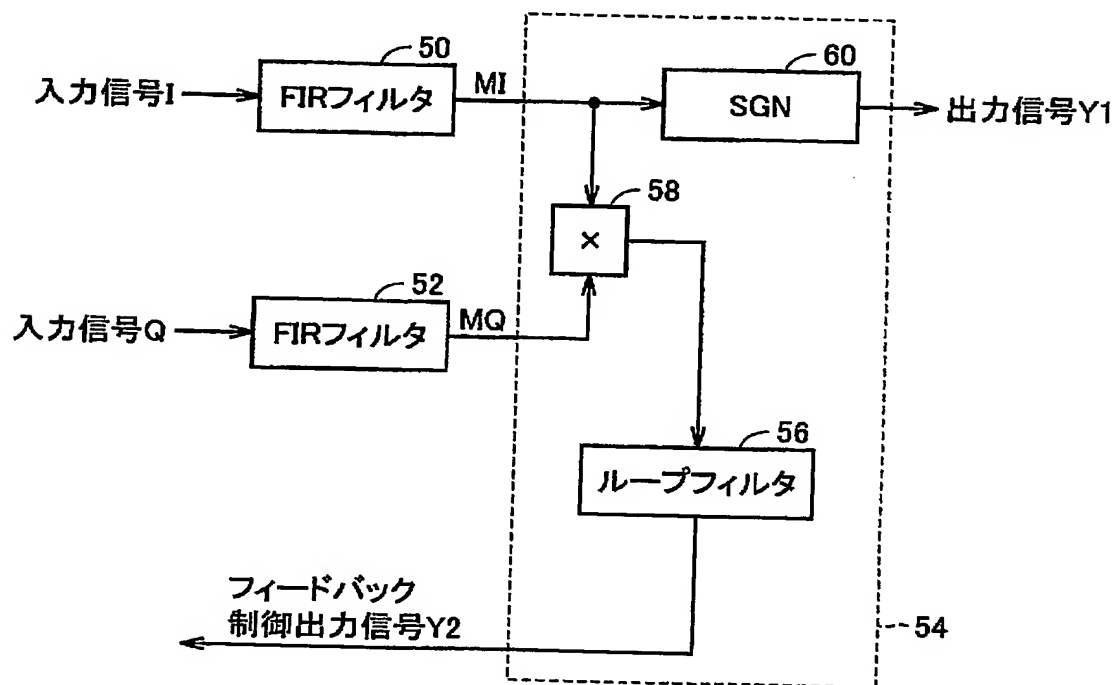
【図 15】



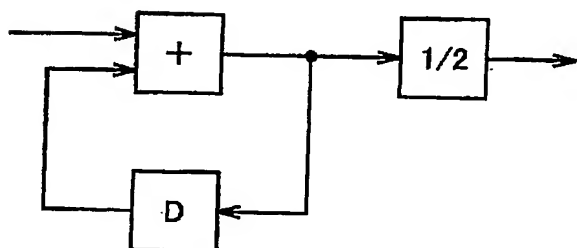
【図 16】



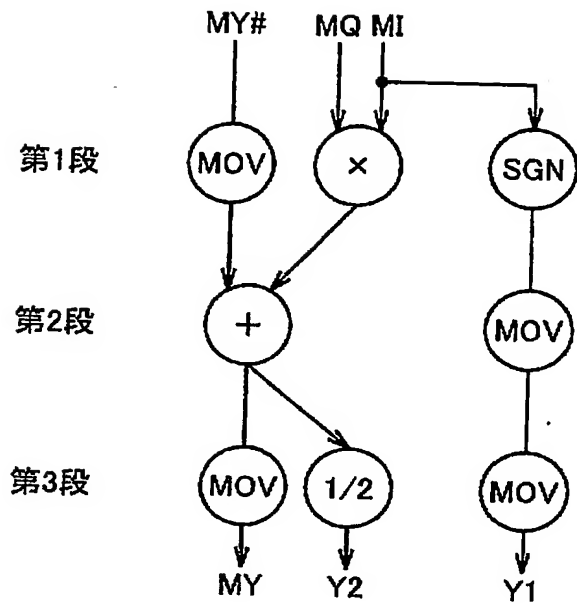
【図 17】



【図 18】

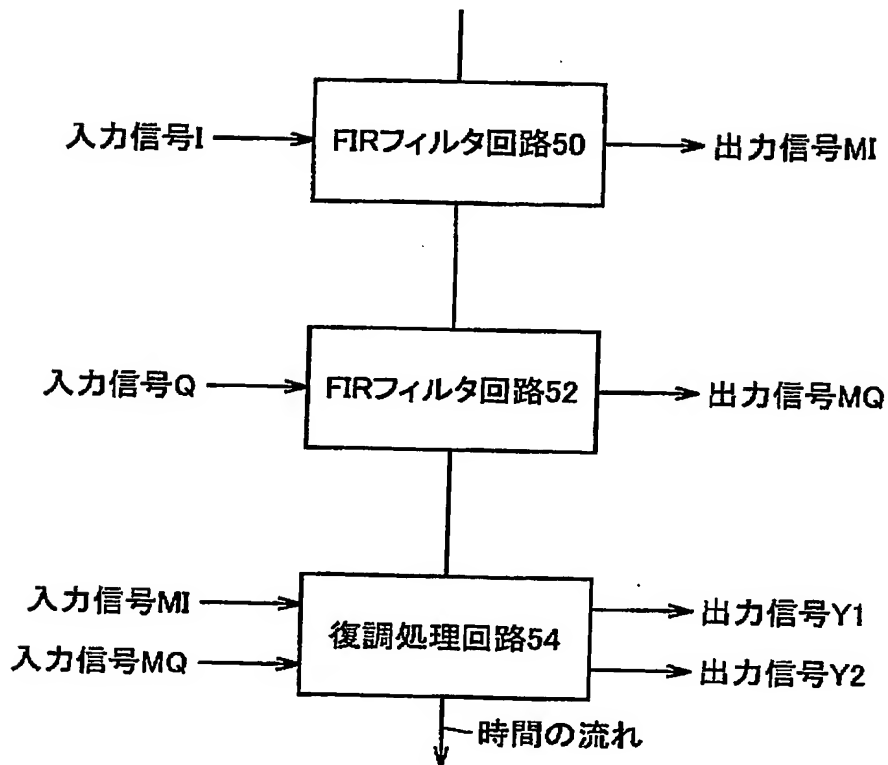


【図 19】

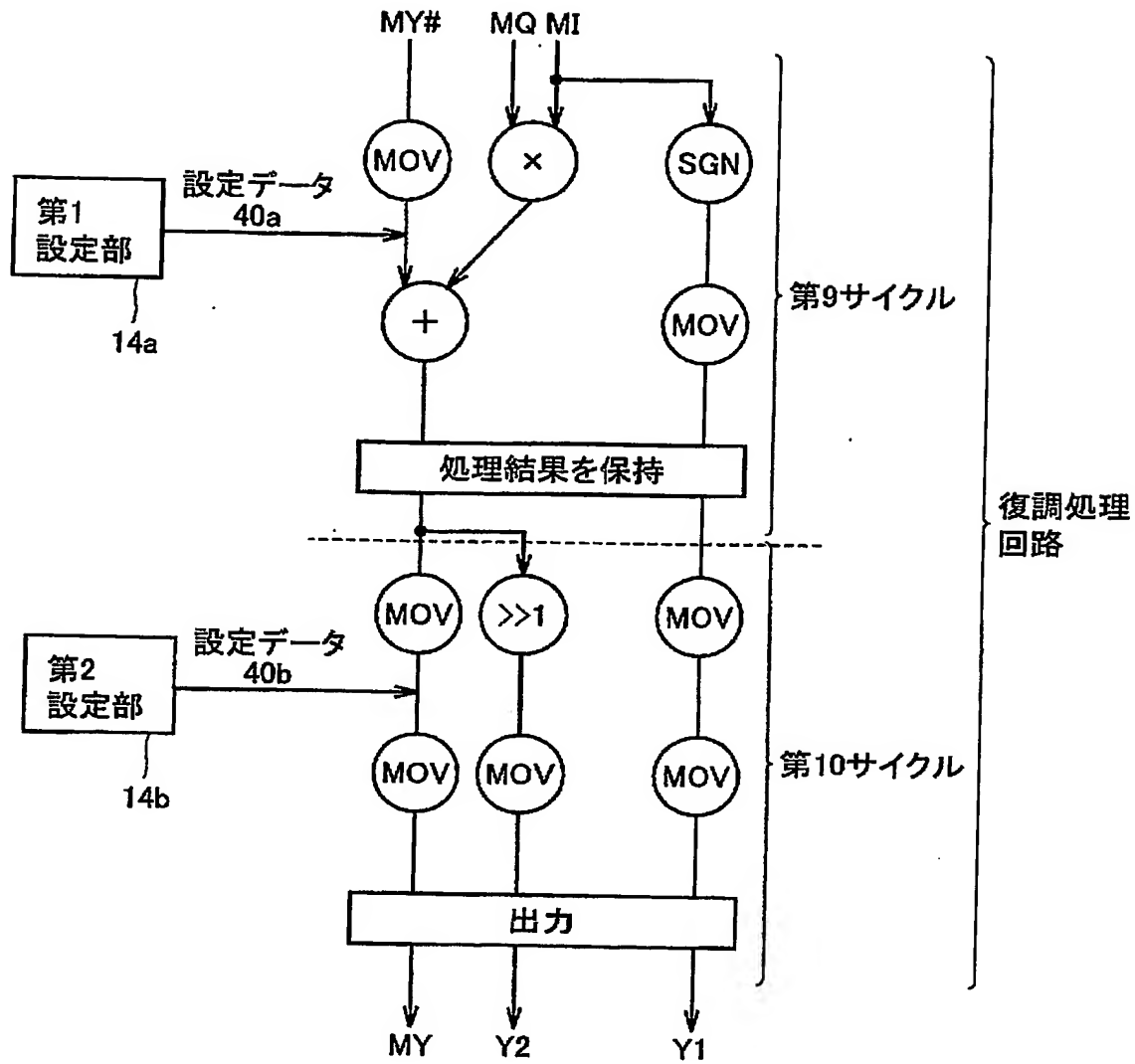


386

【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 回路規模の縮小化に貢献するリコンフィギュラブル回路を備えた処理装置を提供する。

【解決手段】 本発明による処理装置 10 は、1つの回路を分割した複数の分割回路をリコンフィギュラブル回路 12 上に順次構成し、ある分割回路の出力を次の分割回路の入力にフィードバックして分割回路における演算処理を実行し、最後に構成された分割回路から出力を取り出す。フィードバックパスとして、リコンフィギュラブル回路 12 の出力をその入力に接続する経路部 24 を形成する。分割回路を順次構成することによって、全体として1つの回路を実現できる。

【選択図】 図 1

特願 2 0 0 3 - 3 3 9 0 3 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社